

Ascensor digital a escala de 4 pisos

Digital elevator at 4 floors

Luis Felipe Moncada Calmet¹,
Cristian Junior Ventura Caballero¹,
Sergio Hiroshi Rodríguez Masumura¹,
Marlon Gabriel García Honores¹,
Alejandro Augusto Campos Chiang¹
Kevin A. Delgado Alzamor¹
Jorge Luis Alva Alarcón²

Recibido: 07 de agosto de 2018
Aceptado: 03 de setiembre de 2018

RESUMEN

Este trabajo muestra el desarrollo de un prototipo a escala de un ascensor de 4 pisos, utilizando lógica digital (combinacional y secuencial). Se trabajó con compuertas lógicas, latches, registros y timers. El principio de funcionamiento de este proyecto es el mismo que el de un ascensor real, exceptuando la lógica de prioridades y los sistemas de seguridad. Este ascensor cuenta con almacenamiento de llamadas, puerta automática con temporización, display indicador del piso y los pulsadores tanto del ascensor como los de llamada.

Palabras claves: ascensor, lógica digital, almacenamiento, temporización.

ABSTRACT

In this Project, the main objective was to make a four-floor elevator's prototype, made by digital logic (combinational and sequential). We worked with logical gates, latches, (registers) and timers. The working principle of this project is the same as the one applied for a real elevator, except for the priority logic and the security systems. This elevator counts with a call storage, an automatic timed door, a display, which shows the current floor, and buttons in each floor, as well as inside the elevator.

Key words: elevator, digital logic, storage, timing

1 Estudiante de Ingeniería Electrónica - Universidad Privada Antenor Orrego

2 Maestro en Ingeniería Eléctrica, Electrónica y Automática, docente contratado – Universidad Privada Antenor Orrego

INTRODUCCIÓN

Tomando en cuenta que diariamente utilizamos los ascensores del pabellón de Ingeniería de la Universidad Privada Antenor Orrego, nos dimos cuenta de su gran importancia, pues incluso el Reglamento Nacional de Edificaciones dicta que estos "son obligatorios a partir de un nivel de circulación común superior a 11 metros sobre el nivel del ingreso a la edificación desde la vereda". Consecuentemente, surgió un interés en el tema, sobre todo por el hecho de que estos pueden ser implementados con lógica digital, por lo que decidimos aplicar nuestros conocimientos a la elaboración de un ascensor de 4 pisos haciendo uso de la lógica combinacional y secuencial mediante componentes digitales.

Este trabajo tiene como fundamento teórico la electrónica digital. Es una rama de la electrónica, cuya lógica se basa en el manejo de datos que solamente pueden tomar dos valores verdadero o falso, 1 y 0, 5 voltios o 0 voltios. Algunas de las ventajas que posee, con respecto a la electrónica analógica, es la mayor inmunidad a ruidos, facilidad de integración, fácil almacenamiento de información y el requerimiento de una base matemática sencilla. Floyd (2006) dice: "La principal ventaja es que los datos digitales pueden ser procesados y transmitidos de forma más fiable y eficiente que los datos analógicos. También, los datos digitales disfrutan de una ventaja importante cuando es necesario su almacenamiento." (p.5).

Nuestro objetivo es desarrollar con un número reducido de componentes la lógica del ascensor, la cual sea sencilla de entender y posea adicionales funcionalidades que otros proyectos iguales para aportar una forma más fácil de desarrollar un ascensor con lógica digital. Para eso se tomó como ejemplo las diferentes formas de hacer este trabajo, las que fueron perfeccionadas hasta crear nuestro propio diseño. Esperamos que sirva también de inspiración a posteriores planteamientos sobre el desarrollo de un ascensor mediante lógica digital.

El diseño del circuito se llevó a cabo en el software de simulación *Proteus*, dado que este posee gran variedad de componentes, especialmente los utilizados en el proyecto. Además, el diseño en software nos permitió observar en una manera más amplia la conexión de los componentes y así poder organizar su ubicación de manera ordenada, con la finalidad de facilitar la implementación en físico del circuito.

Este proyecto lleva consigo la construcción de una maqueta debido a que se ha visto necesario observar la aplicación completa y planteada de la lógica digital diseñada en un sentido netamente físico. Cabe decir que este prototipo también necesita de un diseño en especial, con el propósito de que guarde cierta armonía con el circuito implementado en su estructura, de manera que se pueda apreciar orden, limpieza y estética en el trabajo. Por otro lado, la mecánica no es ajena a la electrónica, estas dos ciencias se complementan, por lo cual decidimos agregar ciertas partes mecánicas al modelo construido, tales como las poleas, los motores, las ruedas y los rieles. Estas partes son también necesarias para el funcionamiento del ascensor. Por estas razones mencionadas consideramos importante tener un dibujo de la maqueta en el software Autocad (figura 1), de manera que nos permitiera dimensionar correctamente cada parte que lo componía.

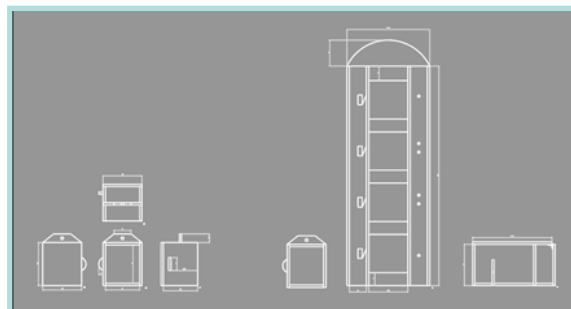


Figura 1: Dibujo de maqueta en Autocad.

El objetivo principal es mostrar que, mediante el uso de algunos circuitos integrados pertenecientes a la electrónica digital tales como compuertas, latches o registros, es posible crear un modelo a escala donde se simulen las funciones básicas de un ascensor.

CONTENIDO

DIAGRAMA DE BLOQUES (Figura 2)

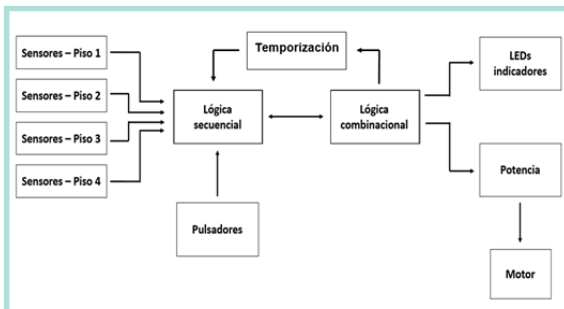


Figura 2: Diagrama de bloques del sistema desarrollado.

Tanto los sensores de cada piso (switches finales de carrera) como los pulsadores están a la espera de ser accionados para enviar la correspondiente señal lógica hacia la sección de lógica secuencial. Esta almacena estos datos y los pasa en serie, de uno en uno, según el orden de llegada hacia la sección de la lógica combinacional. Este paso de datos posee un tiempo, el cual está representado en el diagrama por el bloque temporización, el cual mediante una lógica combinacional envía pulsos hacia la sección secuencial para que los datos puedan avanzar.

En la parte de lógica combinacional los datos que llegan son redirigidos, según el sensor que haya sido activado o el pulsador que haya sido presionado, nuevamente hacia una lógica secuencial (nótese que la flecha que une la lógica secuencial y combinacional va en ambas direcciones). Esta mantiene la señal lógica que puede tener una duración corta (según el tiempo que se haya mantenido presionado el botón) a un tiempo prolongado hasta que la cabina del ascensor haya llegado a su destino. Nuevamente los datos se redirigen a una nueva sección de lógica combinacional, esta permite tener una señal para que el ascensor se eleve y otra para que descienda. Estas últimas señales llegan a la parte de potencia e indicación. En la sección de potencia logramos que estas señales activen otro circuito que permite alimentar y cambiar de giro a los motores debido a que este puede manejar corrientes algo más altas que los circuitos digitales. Finalmente, la sección de indicación es un display que muestra el piso en el que se encuentra el ascensor. Este funcionamiento será más detallado en la explicación de los circuitos.

CIRCUITO

El circuito ha sido realizado en el software Proteus, las imágenes que se mostrarán son esquemáticos de la simulación del circuito. Este se divide en varias etapas, a continuación se mostrará el circuito completo (figura 3) y seguidamente cada una de sus partes.

- Circuito completo:

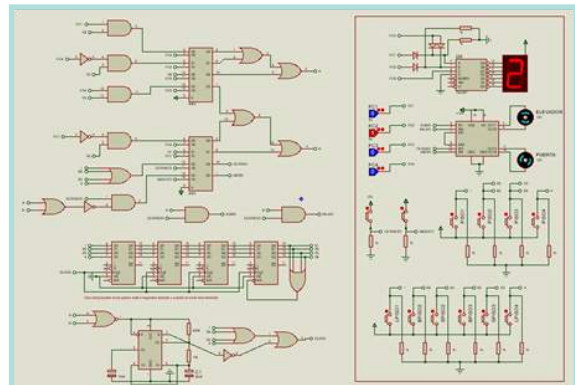


Figura 3: Circuito digital del sistema desarrollado.

Básicamente en esta imagen se distinguen tres grandes etapas, la que se encuentra arriba a la izquierda es de la lógica combinacional y secuencial que le manda la señal al puente H para que active a los motores del ascensor y de la puerta. En la parte derecha se encuentran todos los pulsadores, logic states, display y motores, estos permiten una simulación más real. Por último, la etapa que se encuentra abajo a la izquierda es la de almacenamiento de llamadas y temporización, ya que es necesario que el ascensor espere unos segundos en el piso antes de continuar con los siguientes viajes.

- Primera etapa (figura 4) - Lógica combinacional y secuencial:

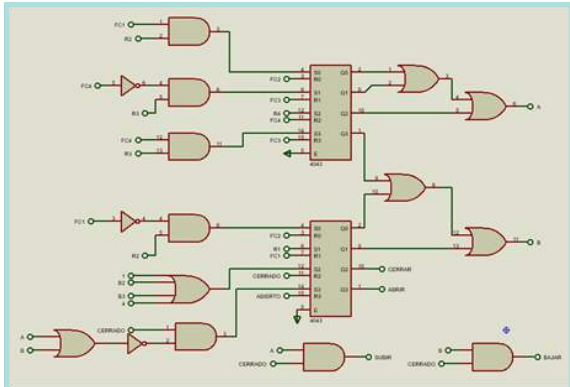


Figura 4: Lógica combinacional y secuencial.

Esta lógica consiste en cubrir todas las posibilidades de subida y bajada para un ascensor de cuatro pisos. Las dos compuertas AND de arriba son para las posibilidades de subida y las otras dos AND de abajo son para las de bajada. Por ejemplo, si la cabina se encuentra en el primer piso (primera condición) y la llaman al tercero (segunda condición) la compuerta AND, designada para esta función, envía un nivel alto, el cual llega a un latch S - R (CD4043) y este, a su vez, mantiene el nivel alto hasta que la cabina llegue al tercer piso y consecuentemente active el Reset del mencionado Latch, poniendo el nivel a 0, deteniendo de esa forma a la cabina.

Las salidas de todos los latches S - R destinados a subir la cabina se unen mediante compuertas OR, a su resultado se le ha llamado A. Del mismo modo, las salidas de todos los latches destinados a descender la cabina se las ha llamado B. Ambas salidas van conectadas al puente h, cuando A es 1, entonces B es 0 y el motor gira ascendiendo la cabina; y cuando B es 1 y A es 0, el motor gira en sentido contrario, descendiendo la cabina.

En la parte de abajo se encuentra la lógica de la puerta, la cual básicamente consiste en tres reglas: 1. nunca abrir mientras el ascensor esté en movimiento, 2. al llegar a cualquier piso abrir automáticamente la puerta y 3. cerrar la puerta antes de ir a cualquier otro piso.

- Segunda etapa (figura 5) - Pulsadores, display y motores:

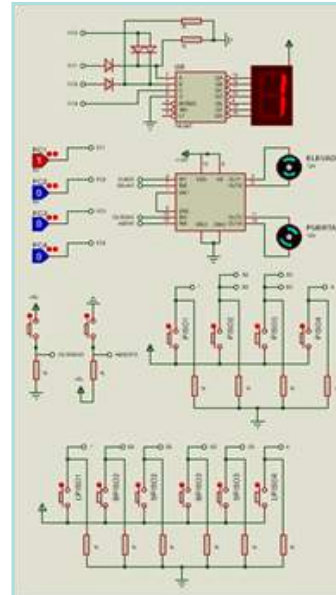


Figura 5: Circuito de pulsadores, display y motores.

En la parte de arriba se encuentra en display controlado mediante un decodificador BCD a 7 segmentos, este indica el piso en el que se encuentra el ascensor. Después se encuentran los logic states que representan a los finales de carrera, a su derecha el L293D (puente h) que nos permitirá controlar dos motores uniendo la parte de lógica digital con la parte de potencia para los motores.

En la sección de abajo se encuentran todos los pulsadores que tendrá el ascensor, tanto los de la puerta y los que están "dentro del ascensor", así como los que son de llamada.

- Tercera etapa (figura 6) - Almacenamiento y temporización:

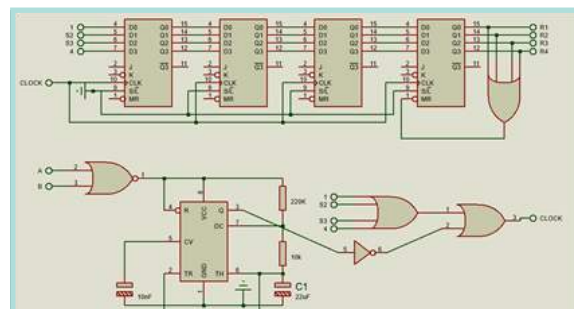


Figura 6: Almacenamiento y temporización.

Los pulsos que se generan al presionar un botón, además de enviarse a la primera lógica que se vio (circuito combinacional de la puerta) se envían paralelamente a esta sección. Este almacenamiento se basa en el uso de los registros de entrada y salida paralela. Tocci, et al. (2007) nos mencionan: "El registro tipo entrada en paralelo/salida en paralelo es un grupo de flip-flops que puede almacenar varios bits al mismo tiempo; en este tipo de registros todos los bits del valor binario almacenado están disponibles de manera directa." (p. 437). El primer registro recibe la información sobre el destino del ascensor y conforme se vayan enviando estas órdenes o si el ascensor está detenido, los bits de información se desplazarán por los registros hasta llegar al último, donde además de enviar la señal al siguiente circuito, también resetea el integrado para que simule un pulso. Este arreglo se puede entender como un grupo de cuatro registros en paralelo que funcionan como cuatro registros en serie para cada una de las entradas y de esa forma almacenar tres bits de información.

El circuito de temporización consiste en un timer 555. Este permite que exista un intervalo de tiempo antes de continuar con la siguiente orden, de no ser así el ascensor iría de un piso a otro sin parar en ninguno, además que los datos no se desplazarían en el arreglo de registros.

CONCLUSIONES

- Se logró un diseño de circuito de lógica digital simple que desempeña las funciones básicas de un ascensor.
- Fue posible la realización de la maqueta a escala y la implementación de su correspondiente circuito digital

REFERENCIAS BIBLIOGRÁFICAS

1. Floyd, Thomas. 2006. *Fundamentos de sistemas digitales*. Madrid: Pearson Prentice Hall. 1005 pp. ISBN: 8483220857
2. Tocci, Ronald; Widmer, Neal y Moss, Gregory. 2007. *Sistemas digitales principios y aplicaciones*. México: Pearson Prentice Hall. 939 pp. ISBN: 9702609704